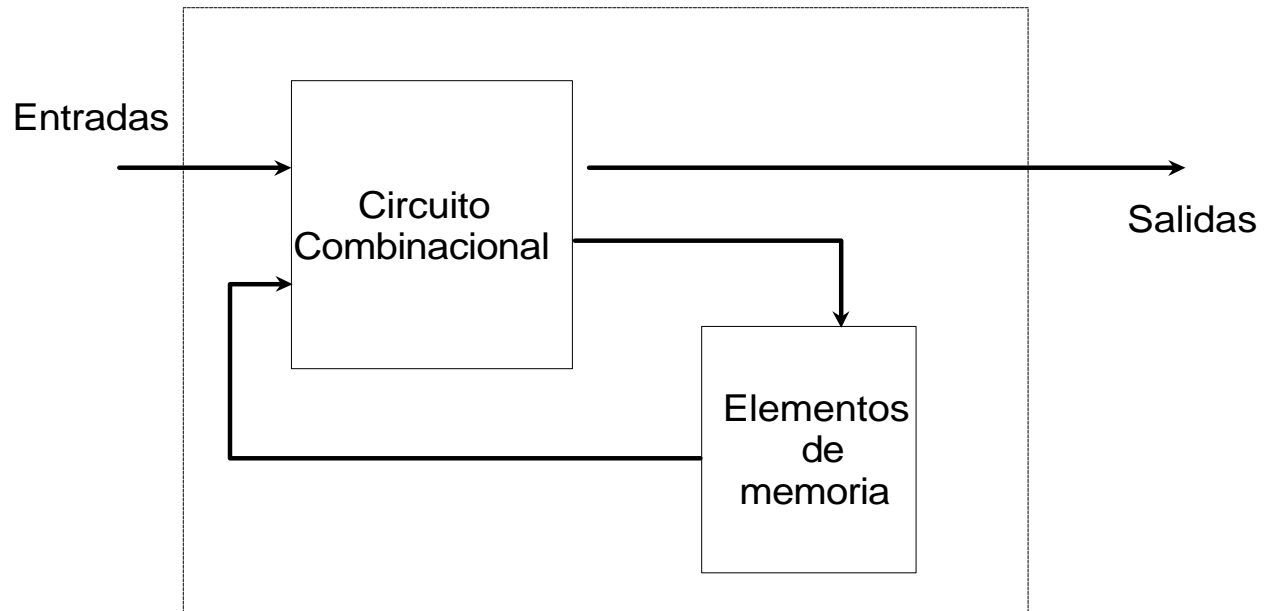


TEMA 7

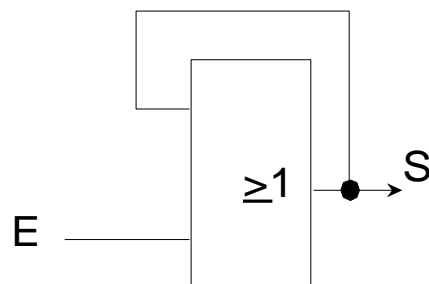
ANÁLISIS Y DISEÑO DE CIRCUITOS SECUENCIALES

1. INTRODUCCIÓN

En la siguiente figura se representa el diagrama de bloques de un circuito secuencial.



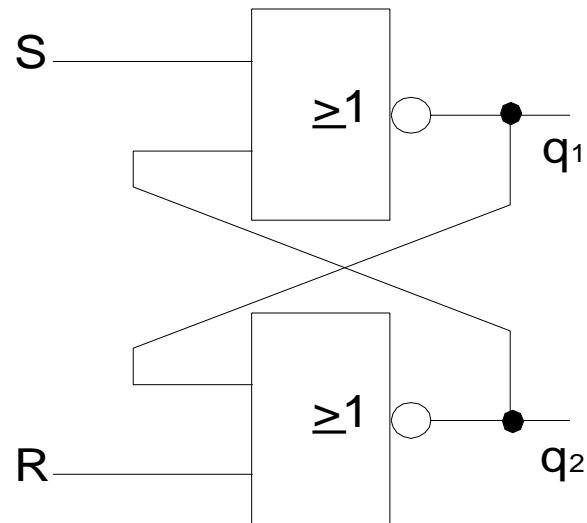
La siguiente figura muestra un ejemplo de elemento de memoria constituido por una puerta OR con una única realimentación de su salida hacia una de sus dos entradas.



2. BIESTABLES

2.1 Biestable SR realizado con puertas NOR

La siguiente figura muestra la estructura del biestable SR-NOR



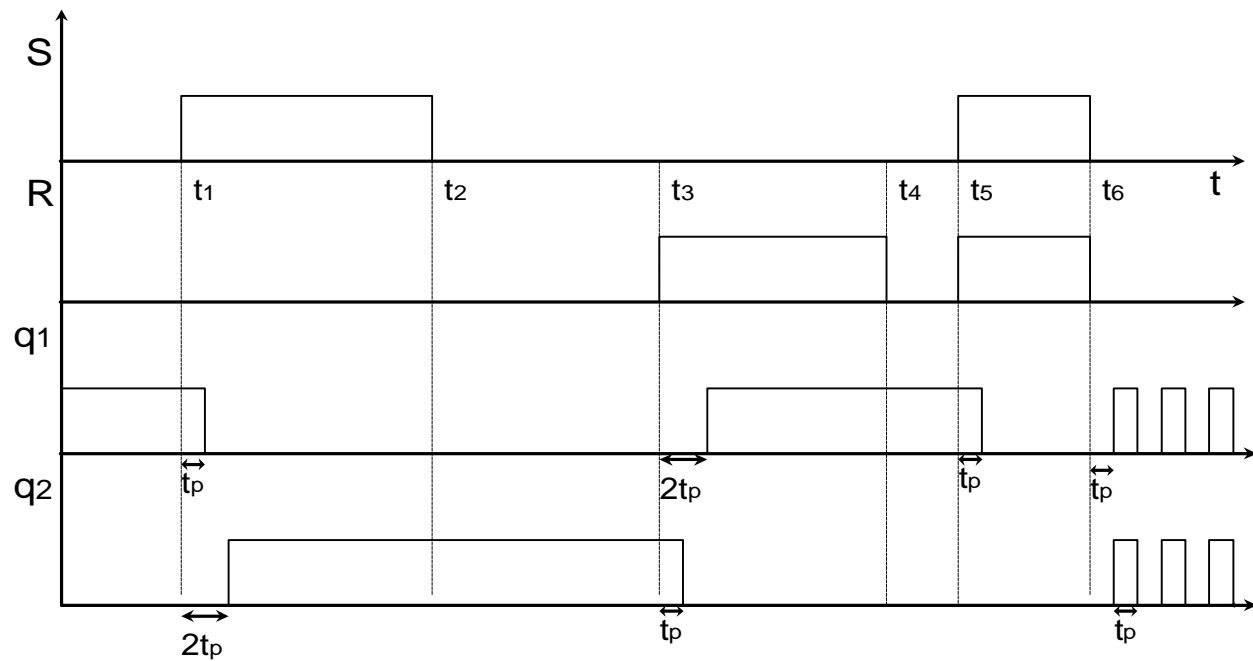
$$Q1 = (S + q2)' = S' + q2'$$

$$Q2 = (R + q1)' = R' + q1'$$

Si representamos estas expresiones en un K-mapa, obtenemos lo siguiente

SR					
		00	01	11	10
q ₁ q ₂	00	11	10	00	01
	01	01	00	00	01
	11	00	00	00	00
	10	10	10	00	00
		Q ₁ Q ₂			

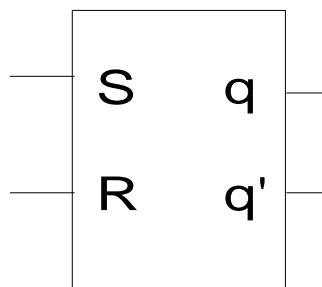
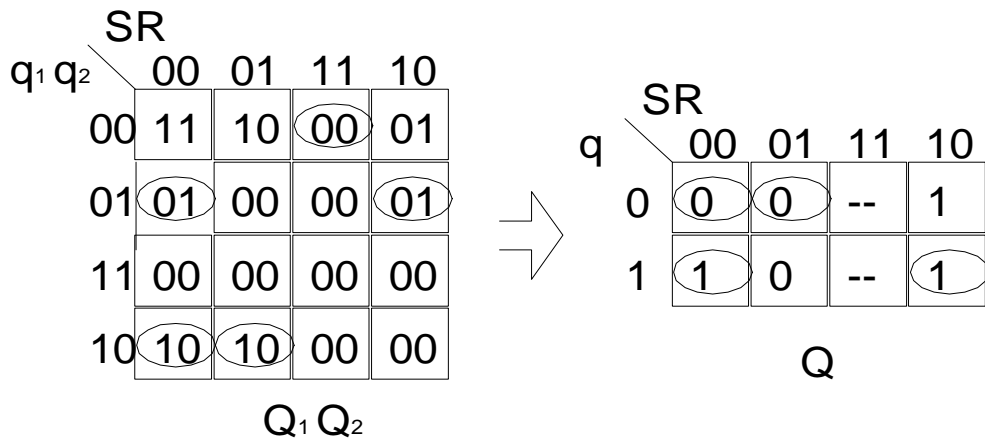
Representación temporal del biestable SR para una secuencia de entradas determinadas



		SR			
		00	01	11	10
q1 q2	00	11	10	00	01
	01	01	00	00	01
	11	00	00	00	00
	10	10	10	00	00
		Q1 Q2			

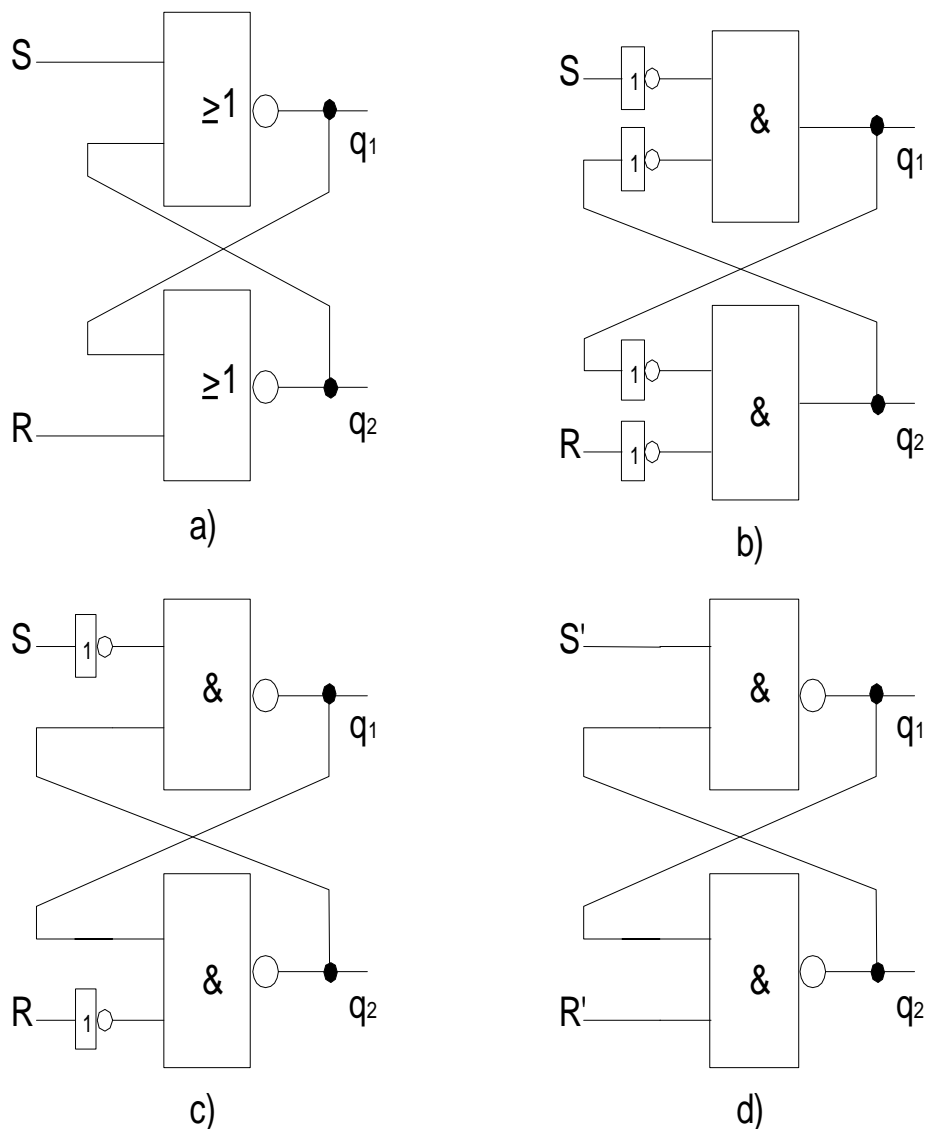
Ahí que hacer las siguientes restricciones funcionales al biestable SR:

- 1) Las entradas $SR=11$ quedan prohibidas
- 2) La duración de los pulsos de Set y Reset debe ser superior a $2 \cdot t_p$ (tiempo necesario para que las salidas $q1q2$ tomen un valor estable adecuado)



2.2 Biestable SR-NAND

Cualquier circuito que se pueda construir con puertas NOR, puede realizarse también con puertas NAND. En la siguiente figura se muestra el proceso de obtención de un biestable, el NAND, a partir del SR-NOR.



La tabla funcional del SR-NAND es

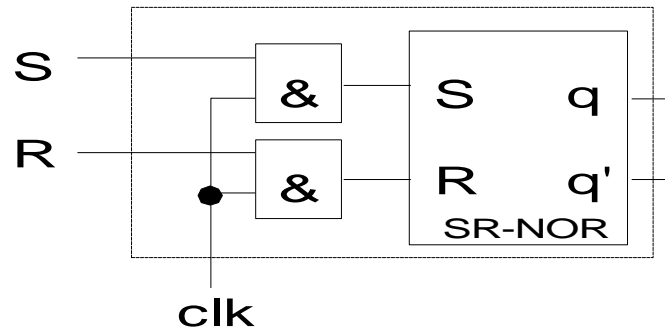
		$S'R'$			
		00	01	11	10
q	0	--	1	0	0
	1	--	1	1	0

Q

2.3 Biestables síncronos

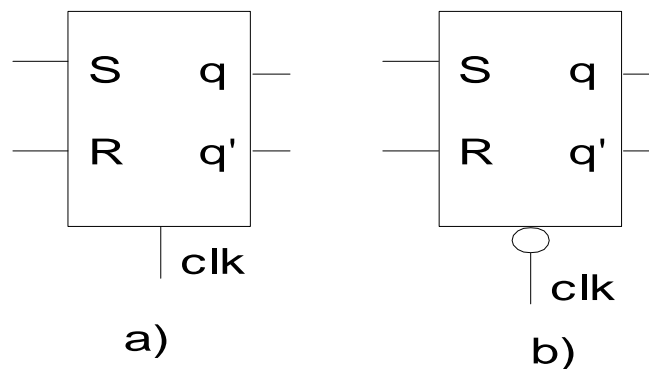
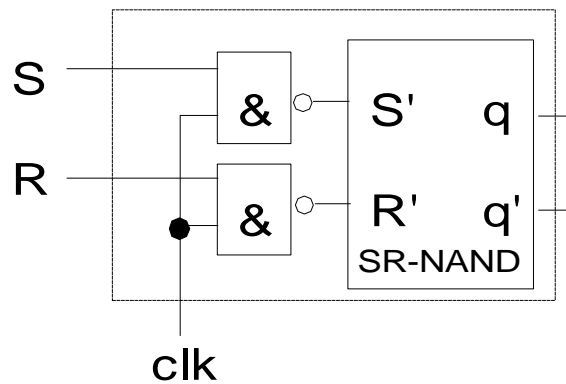
2.3.1 Biestables disparados por nivel

La siguiente figura muestra la estructura de un biestable SR-NOR disparado por nivel.

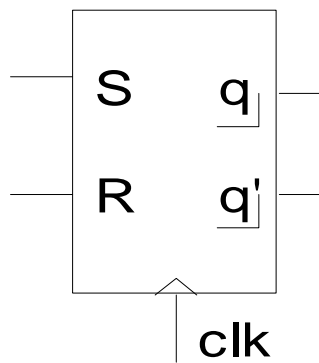
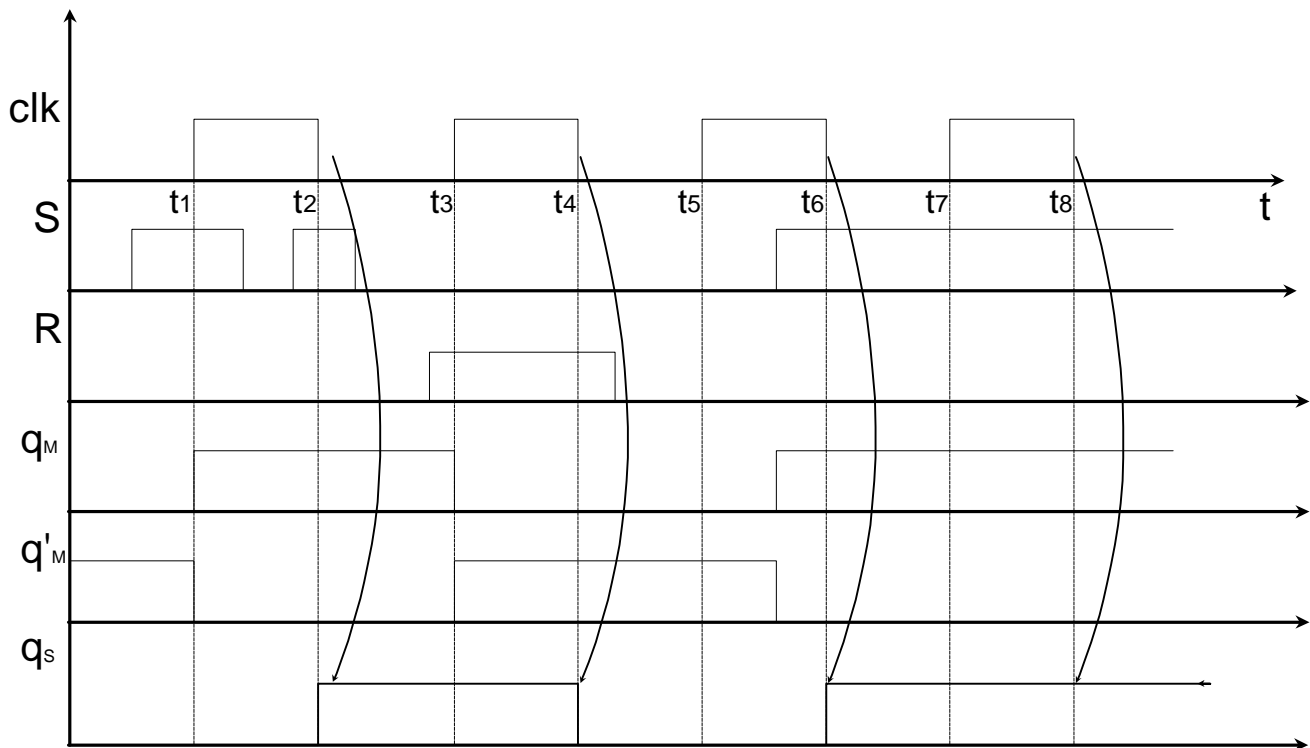
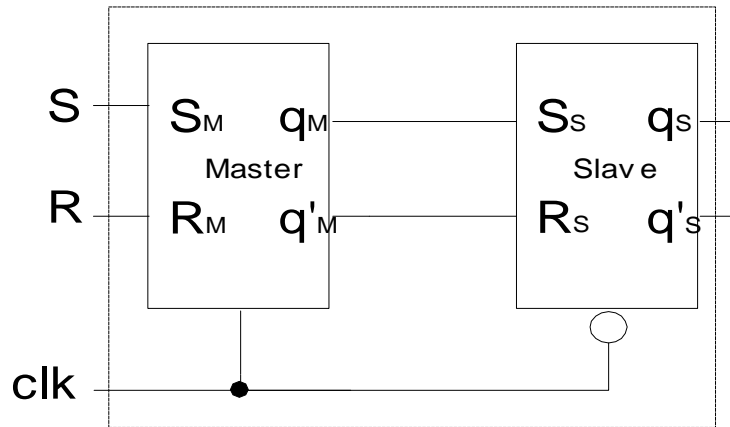


Hay dos tipos de biestables disparados por nivel. Aquellos que son disparados por nivel alto y los que lo son por nivel bajo.

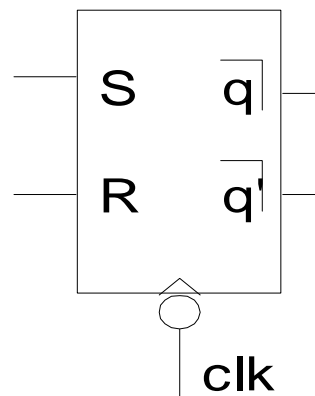
Un diseño alternativo del biestable disparado por nivel es el que se muestra en la siguiente figura, el cual ha sido construido a partir del SR-NAND.



2.3.2 Biestable Master-Slave (Amo-Esclavo)



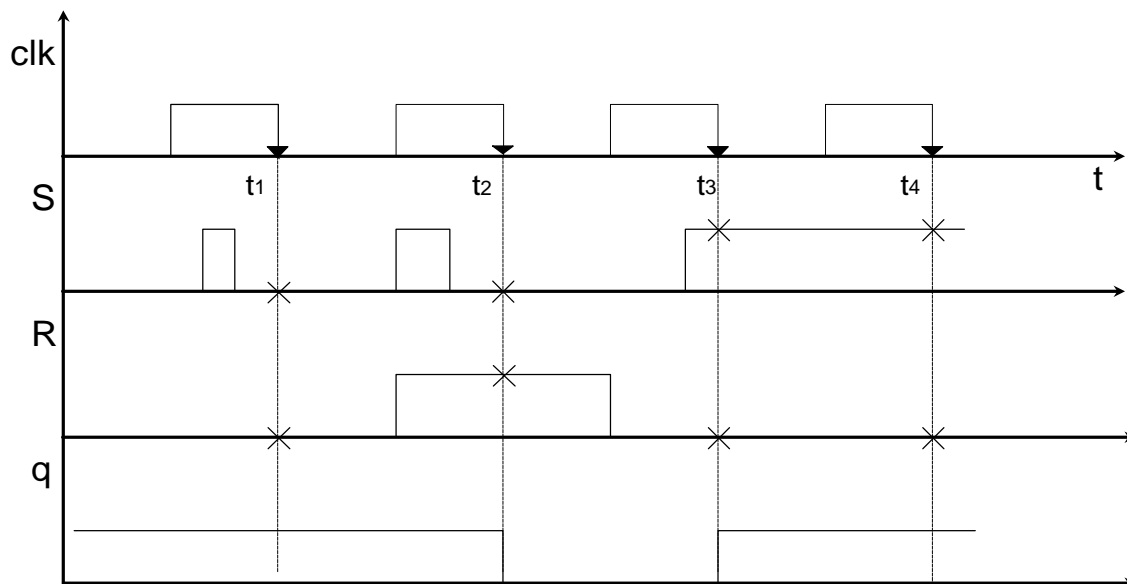
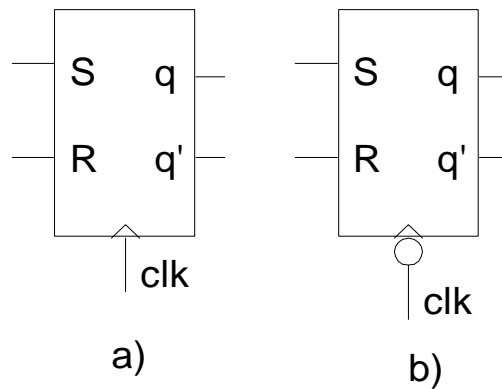
a)



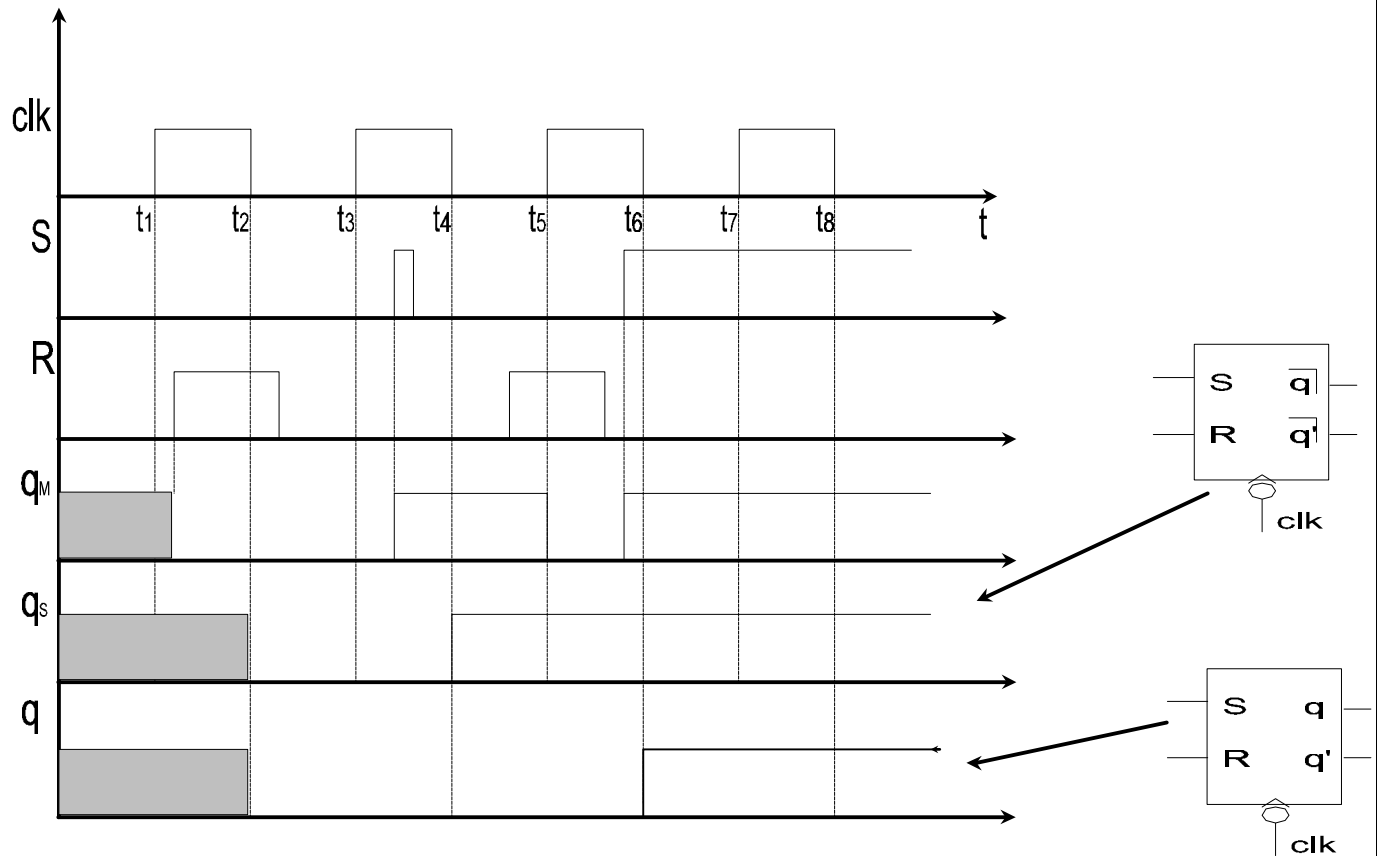
b)

2.3.3 Biestable disparado por flanco

Este tipo de biestable presenta un modo de funcionamiento similar al biestable Master-Slave, en el sentido de que la salida q del biestable sólo puede cambiar en los flancos de subida o bajada de la señal de reloj, permaneciendo estable el resto del periodo. En la siguiente figura se representa los símbolos lógicos de un biestable SR disparado por flanco de subida a) o por flanco de bajada b)



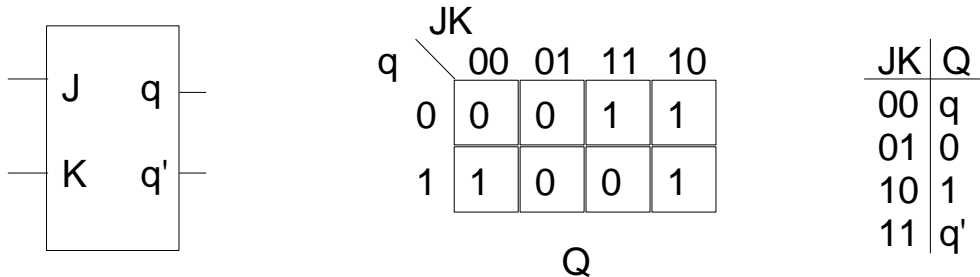
Para incidir más en las diferencias funcionales del biestable disparado por flanco y el biestable Master-Slave,



2.4 Otros biestables

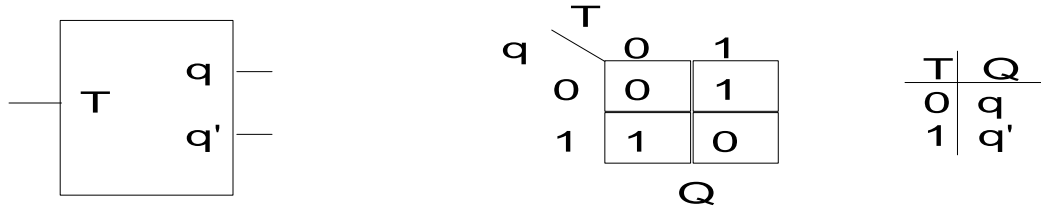
BIESTABLE JK

Es similar al biestable SR, pero tiene la ventaja de que la entrada $JK=11$ no está prohibida. (La entrada J es similar a la S y la K a la R)

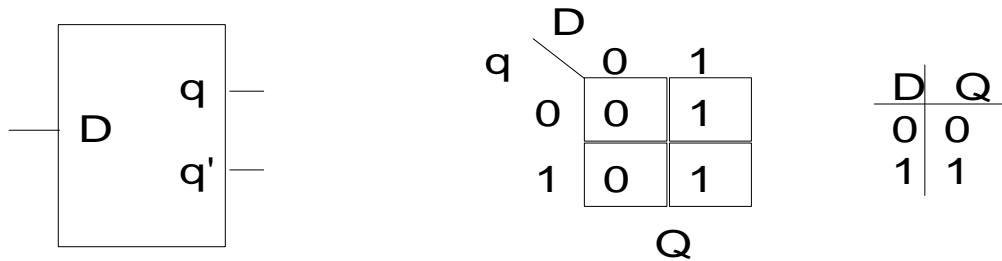


BIESTABLE T

Es igual al JK cuando unimos sus dos entradas



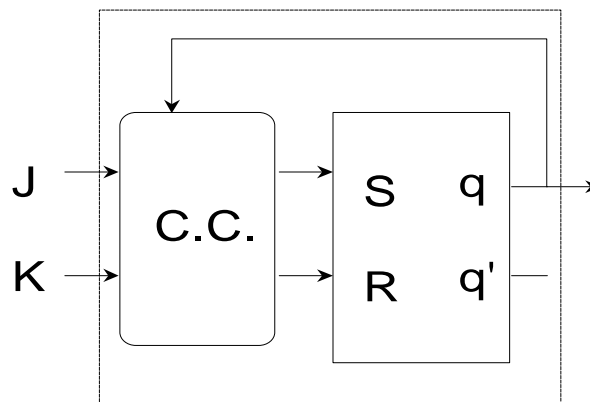
BIESTABLE D



2.5 Realización de biestables a partir de otros

Ejemplo 1. Construir un biestable JK a partir de un SR.

Esto es, disponemos de un biestable SR y queremos construir una estructura de forma que tenga dos terminales que hagan las veces de las entradas JK, y una salida q que cambie en función de JK tal como define la tabla de transición del biestable JK.



Biestble JK

		SR					
		00	01	11	10	SR	q->Q
q	0	0	0	--	1	0x	0->0
	1	1	0	--	1	10	0->1
						01	1->0
						x0	1->1

Q

		JK			
		00	01	11	10
q	0	0x	0x	10	10
	1	x0	01	01	x0

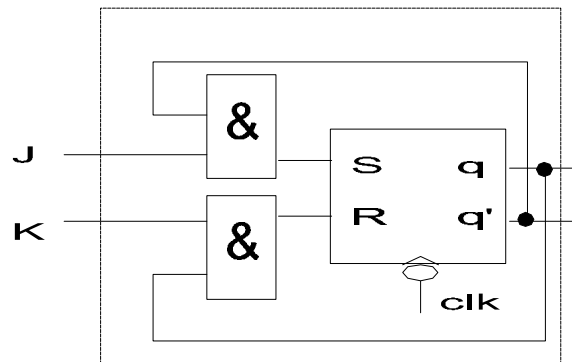
SR

Las expresiones para S y R son

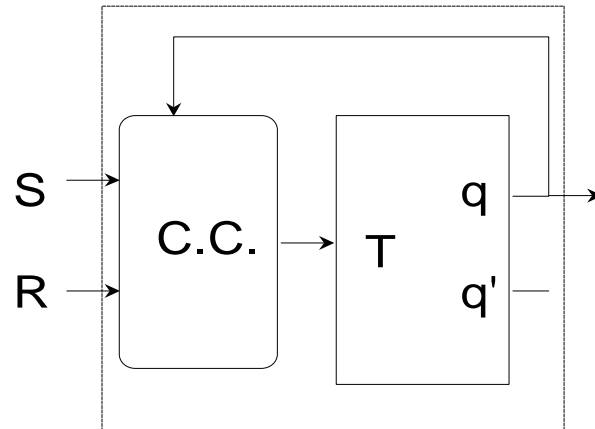
$$S = Jq'$$

$$R = Kq$$

Y el cicuito es



Ejemplo 2. Obtener el biestable SR a partir de un T



Biestble SR

		T	
		0	1
q	0	0	1
	1	1	0

Q

T	q->Q
0	0->0
1	0->1
1	1->0
0	1->1

		SR			
		00	01	11	10
q	0	0	0	--	1
	1	0	1	--	0

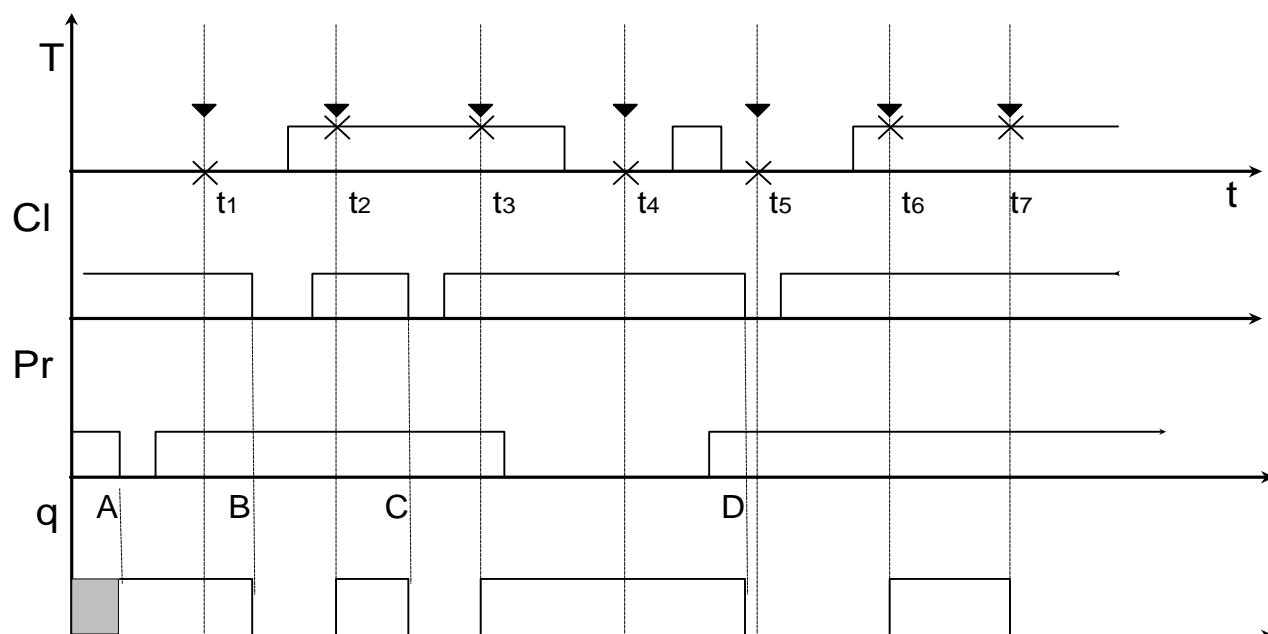
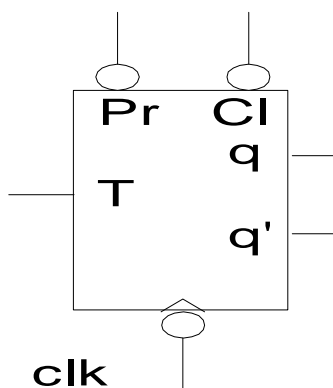
T

De donde obtenemos que

$$T = Rq + Sq'$$

2.6 Entradas asíncronas de los biestables

Son unas entradas adicionales que disponen algunos biestables síncronos. Estas entradas permiten la puesta a 1 o a 0 del biestable síncrono sin necesidad de esperar a la llegada del nivel activo o el flanco activo de la señal de reloj. Estas son las entradas de PRESET y CLEAR.



3. ANÁLISIS DE CIRCUITOS SECUENCIALES SÍNCRONOS

3.1 Autómatas de Mealy y Moore

La máquina secuencial síncrona.

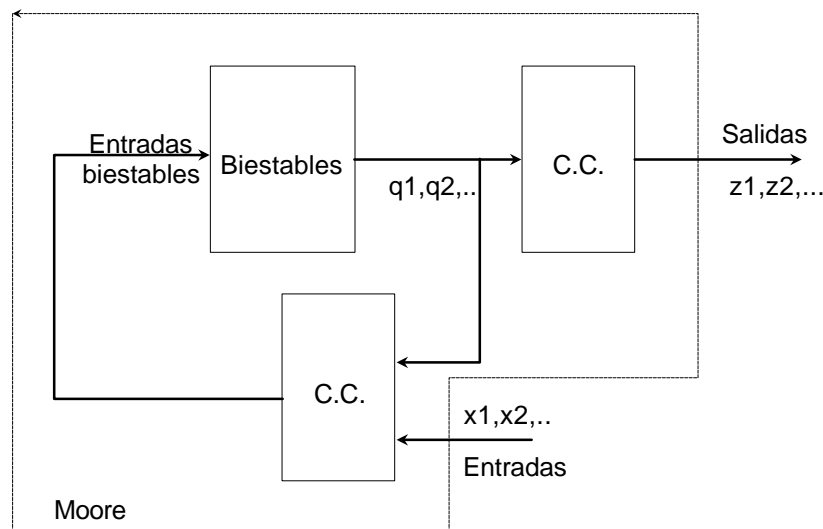
- a) Todos los biestables son del tipo disparado por flanco y todos son o de subida o de bajada
- b) Todos los biestables reciben la misma señal de reloj

Con esto conseguimos que todos los elementos de memoria de la máquina secuencial cambien simultáneamente. Aquí aparece el concepto de Estado de una máquina secuencial.

Existen dos tipos de circuitos secuenciales síncronos:

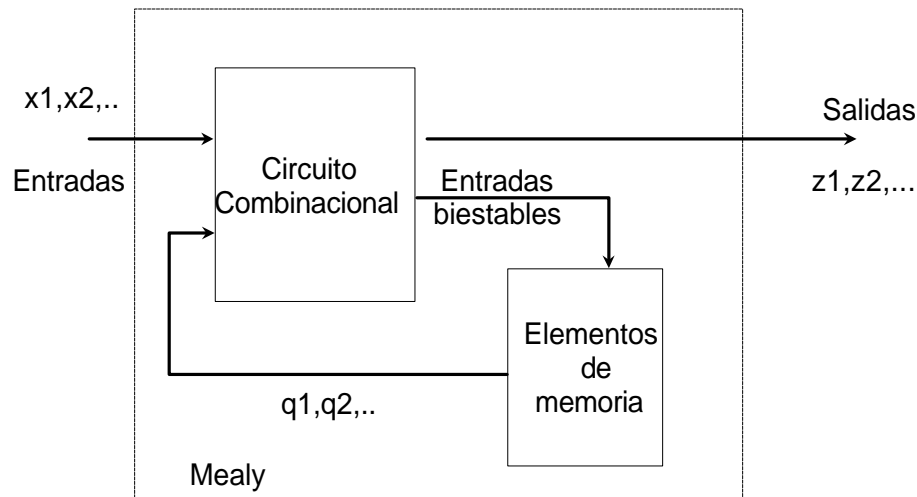
- a) Máquina o autómata de Moore. Aquel, cuyas salidas sólo dependen de los estados de los biestables.

$$Z_k = Z_k(q_1, q_2, \dots)$$



b) Máquina o autómatas de Mealy. Aquel, cuyas salidas son función de los estados de los biestables y las entradas de la máquina.

$$Z_k = Z_k(x_1, x_2, \dots, q_1, q_2, \dots)$$



3.3. Análisis de circuitos secuenciales síncronos

a) Obtención de las ecuaciones de salida y ecuaciones de excitación

A partir del esquema del circuito se obtienen las expresiones booleanas de las salidas del mismo y de las entradas de cada uno de los biestables que lo constituyen (ecuaciones de excitación)

b) Tabla de excitación y de salida

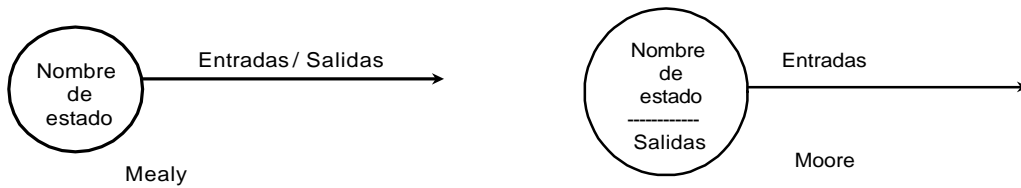
La tabla de excitación y de salida son la representación en Kmapa de las ecuaciones de excitación y salida

c) Tabla de transición

Es la representación en K-mapa de los próximos valores, Q , que toman cada uno de los biestables del circuito en función de los valores, q , presentes y las entradas.

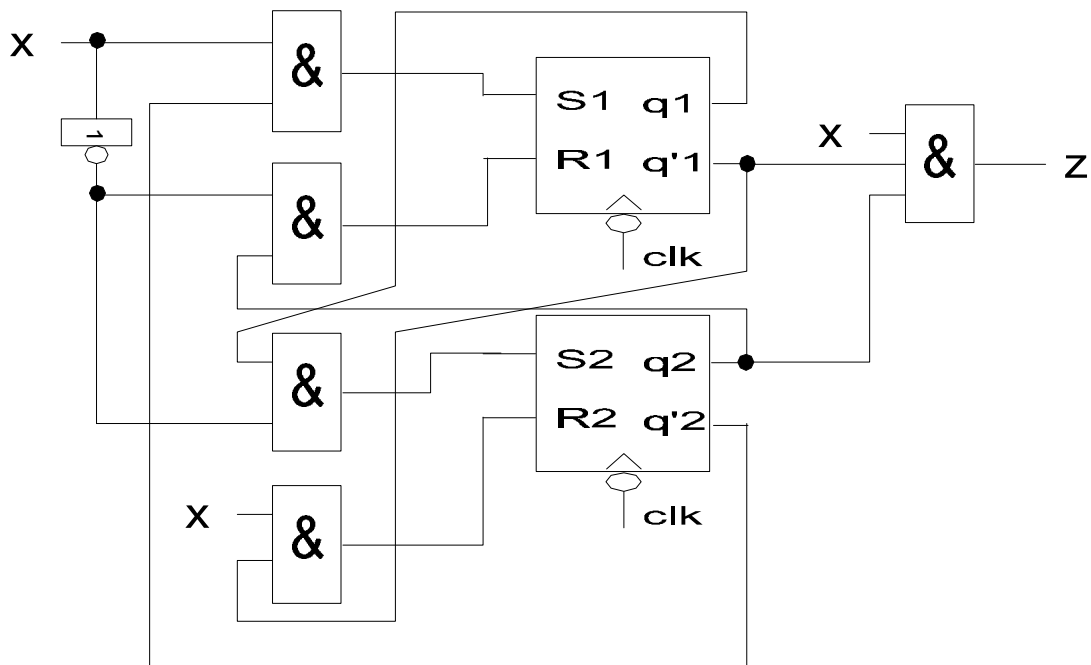
d) Tabla de estados / Diagrama de estados

La tabla de estados se obtiene a partir de la tabla de transición sin más que asignarle un nombre a cada conjunto de valores de los biestables, q. El diagrama de estados es una representación gráfica de la tabla de estados en los que estos son representados como círculos.



Ejemplo

Analiza el circuito de la siguiente figura



a) Ecuaciones de salida

$$Z = x q_1' q_2$$

Ecuaciones de excitación

$$S_1 = x q_2'$$

$$R_1 = x' q_2$$

$$S_2 = x' q_1$$

$$R_2 = x q_1'$$

- b) Tabla de excitación. Se representa en un K-mapa las ecuaciones de excitación anteriores, procurando colocar en vertical los q de los biestables, y en horizontal las entradas.

		x			
		0		1	
q ₁ q ₂	00	00	00	10	01
	01	01	00	00	01
	11	01	10	00	00
	10	00	10	10	00

$S_1 R_1 \mid S_2 R_2$

Tabla de salida. Se representa la ecuación de salida en un K-mapa siguiendo los criterios de la tabla de excitación

		x			
		0		1	
q ₁ q ₂	00	0	0	0	0
	01	0	0	1	0
	11	0	0	0	0
	10	0	0	0	0

z

- c) Tabla de transición.

		x			
		0		1	
q ₁ q ₂	00	00	00	10	00
	01	01	01	00	00
	11	01	01	11	00
	10	11	11	10	00

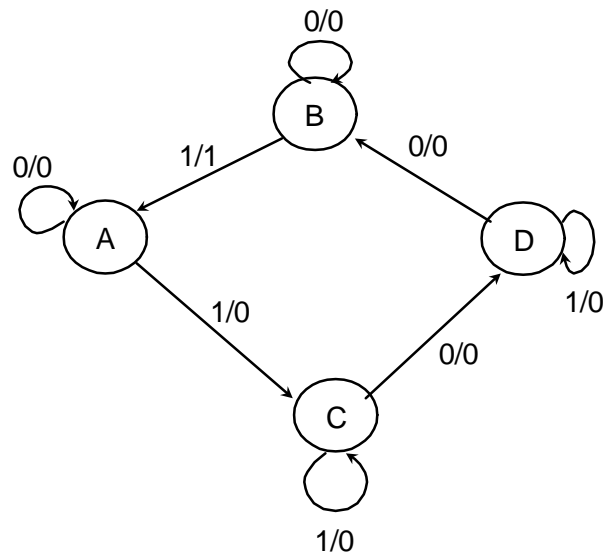
$Q_1 Q_2$

d) Tabla de estados/salidas.

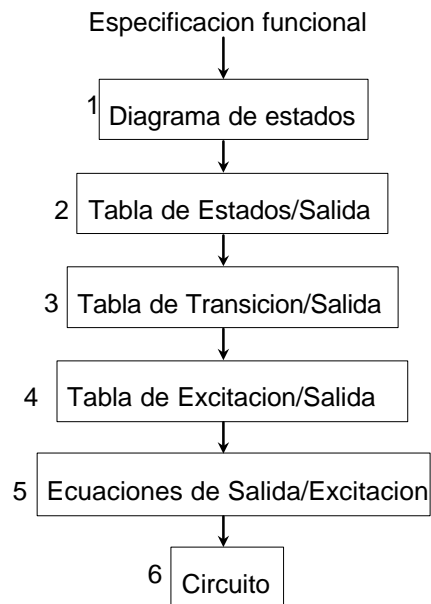
S	x		
		0	1
A		A,0	C,0
B		B,0	A,1
D		B,0	D,0
C		D,0	C,0

NS, z

e) Diagrama de estados. Este punto es opcional. Simplemente se translada la tabla de estados a una representación gráfica.



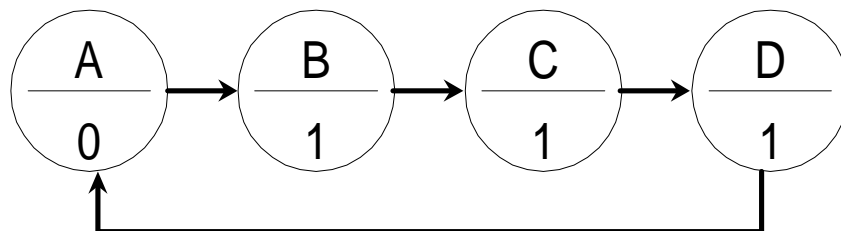
4. SÍNTESIS O DISEÑO DE CIRCUITOS SECUENCIALES SÍNCRONOS



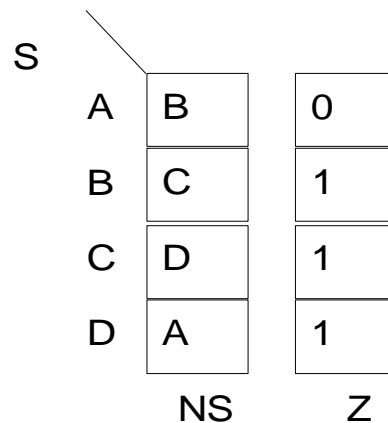
Ejemplo 1

Se pide diseñar un circuito secuencial síncrono que genere periódicamente la secuencia 0,1,1,1

PASO 1



PASO 2



PASO 3

$q_1 \ q_2$		
00	01	0
01	10	1
11	00	1
10	11	1
$Q_1 \ Q_2$		Z

PASO 4

JK	$q \rightarrow Q$
0x	0 \rightarrow 0
1x	0 \rightarrow 1
x1	1 \rightarrow 0
x0	1 \rightarrow 1

$q_1 \ q_2$		
00	0X 1X	0
01	1X X1	1
11	X1 X1	1
10	X0 1X	1
$J_1 \ K_1 \ \ J_2 \ K_2$		Z

PASO 5

$$Z = q_1 + q_2$$

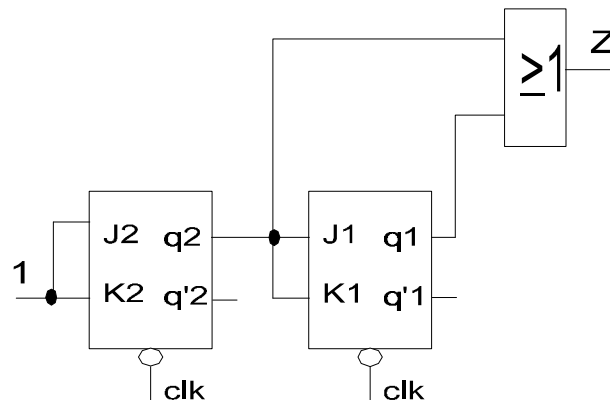
$$J_1 = q_2$$

$$K_1 = q_2$$

$$J_2 = 1$$

$$K_2 = 1$$

PASO 6



Ejemplo 2

Se desea diseñar un circuito secuencial síncrono que sea capaz de detectar la secuencia de entrada 1,1,1.

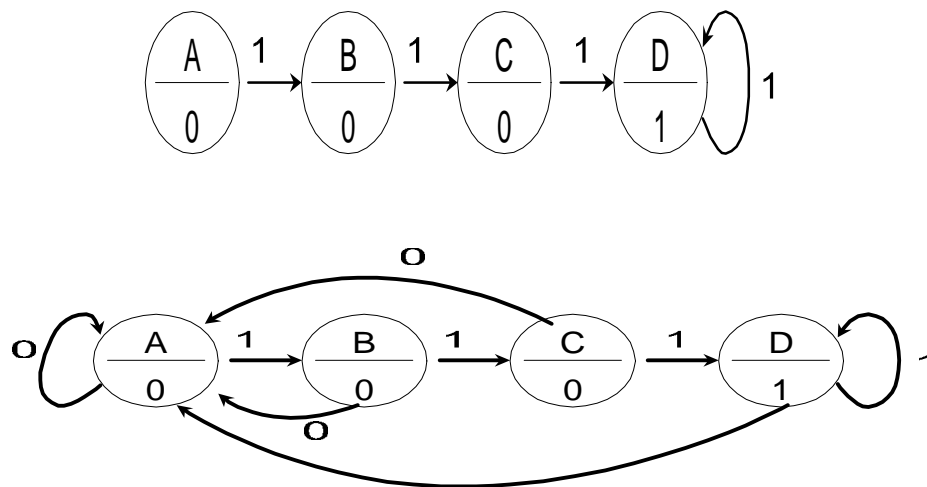
2.a) Como autómata de Moore.

Estado A: estado inicial donde se espera la recepción del primer 1 por la entrada X. Este estado “memoriza” que no se ha recibido ningún 1 y en él se genera salida $Z=0$

Estado B: estado que “memoriza” que se ha recibido un 1 y genera $Z=0$.

Estado C: Estado que “memoriza” que ya se han recibido dos 1’s consecutivos por la entrada X y en el que se genera salida 0.

Estado D: estado que “memoriza” que los tres últimos bits recibidos son 1. La salida generada en este estado es 1.



La tabla de estados/salida

S	X		
	0	1	
A	A	B	0
B	A	C	0
C	A	D	0
D	A	D	1
			NS Z

$q_1q_2 \backslash X$		0	1	
		00	01	
00	00	01	0	
01	00	10	0	
11	00	11	1	
10	00	11	0	
		Q_1Q_2	Z	

Si para la realización escogemos biestables JK, la tabla de excitación/salida resultante es

$q_1q_2 \backslash X$		0	1	
00	0x,0x	0x,1x	0	
01	0x,x1	1x,x1	0	
11	x1,x1	x0,x0	1	
10	x1,0x	x0,1x	0	
		J_1K_1, J_2K_2	Z	

Y de la tabla de excitación/salida, las ecuaciones de excitación y de salida

$$Z = q_1 \cdot q_2'$$

$$J_1 = X \cdot q_2$$

$$K_1 = X'$$

$$J_2 = X$$

$$K_2 = X' + q_1'$$

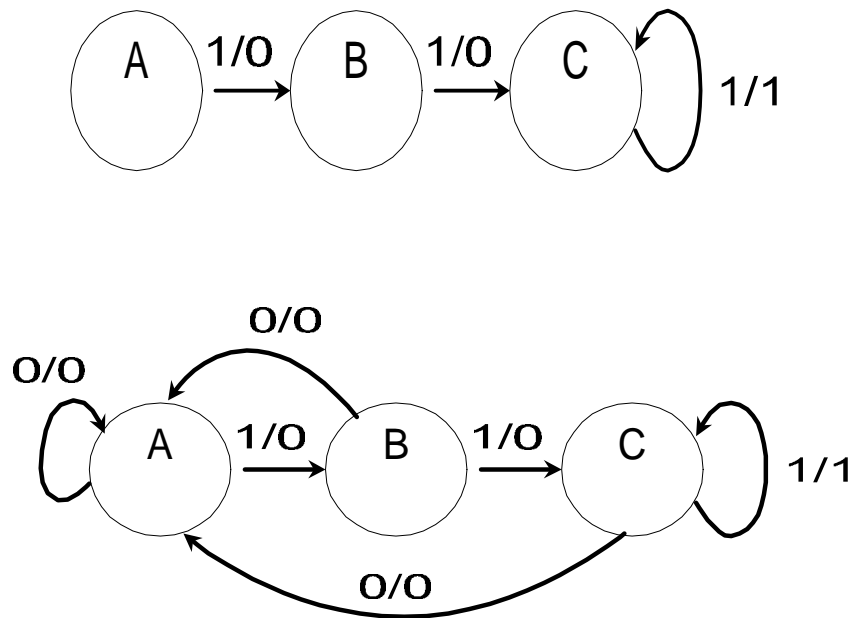
2 b) Como autómata de Mealy.

Tiempo (T)→
T: 1 2 3 4 5 6 7 8 9 10 11 12 ..
X: 0 0 1 1 1 0 0 1 1 1 1 0
Estado : A A A B C D A A B C D D A
Z: 0 0 0 0 0 1 0 0 0 0 1 1 0

Estado A: Estado inicial que “memoriza” que no se han recibido ningún 1.

Estado B: Estado al que se llega cuando se recibió un 1 en el ciclo de reloj anterior. Por tanto memoriza que se ha recibido un 1.

Estado C: Estado que “memoriza” que se han recibido dos o más unos consecutivos.



A partir de aquí se obtiene la tabla de estados/salida

S \ X	X	
	0	1
A	A	B
B	A	C
C	A	C,1

NS, Z

$q_1q_2 \backslash X$		0	1
		00	01
00	00	01	
01	00	10	
11	--	--	
10	00	10,1	

Q_1Q_2, Z

Si utilizamos biestables de tipo D, la tabla de excitación/salida quedaría:

$q_1q_2 \backslash X$		0	1
		00	01
00	00	01	
01	00	10	
11	--	--	
10	00	10,1	

D_1D_2, Z

Y las ecuaciones de excitación y salida resultantes son:

$$Z = X q_1 q_2'$$

$$D_1 = X q_1 + X q_2$$

$$D_2 = X q_1' q_2'$$

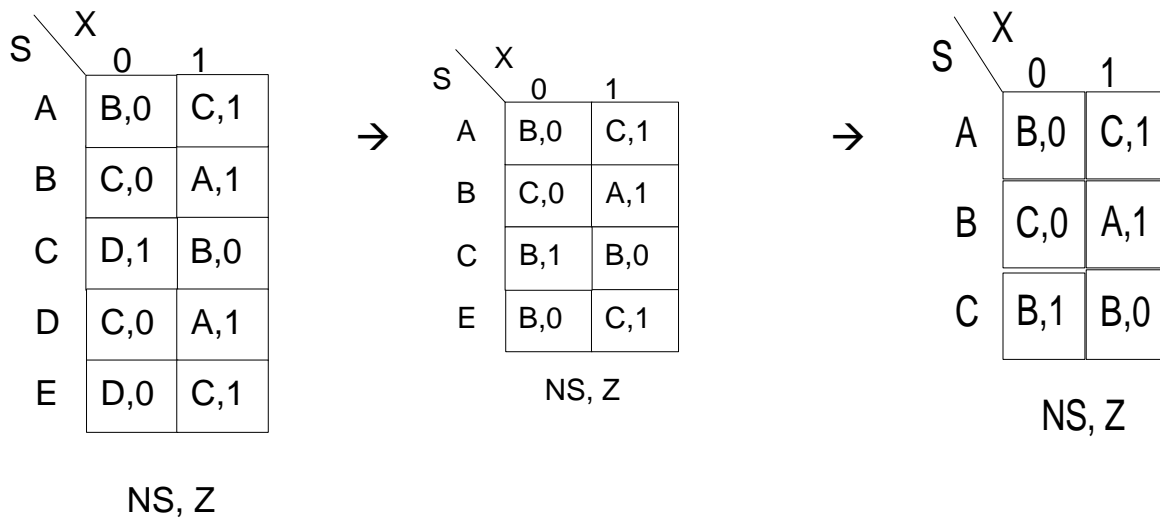
4.2 Minimización de tablas de estado

Estados idénticos

Se dicen que dos estados (p,q) son idénticos ($p=q$) si cumplen las dos siguientes condiciones:

- Los próximos estados de p para cualquier entrada son los mismos que los próximos estados de q para las mismas entradas. Esto se puede expresar como $NS(p, x_i) = NS(q, x_i) \forall x_i$
- Las salidas de p y q para todas las entradas, son idénticas. $Z(p, x_i) = Z(q, x_i) \forall x_i$

Ejemplo 1



Para asegurar la obtención de la tabla mínima se desarrollará el método de “eliminación de estados redundantes por pares (o estados) equivalentes”.

Par equivalente

Se dicen que dos estados p, q forman un par equivalente si cumplen las siguientes condiciones

- Los próximos estados de p y q para cada entrada forman un par equivalente. Esto es, $NS(p, x_i)$ y $NS(q, x_i)$ son equivalentes $\forall x_i$
- Las salidas de p y q para todas las entradas, son idénticas. $Z(p, x_i) = Z(q, x_i) \forall x_i$

Par incompatible

Se dicen que dos estados p, q forman un par incompatible si se cumplen al menos una de los dos siguientes condiciones

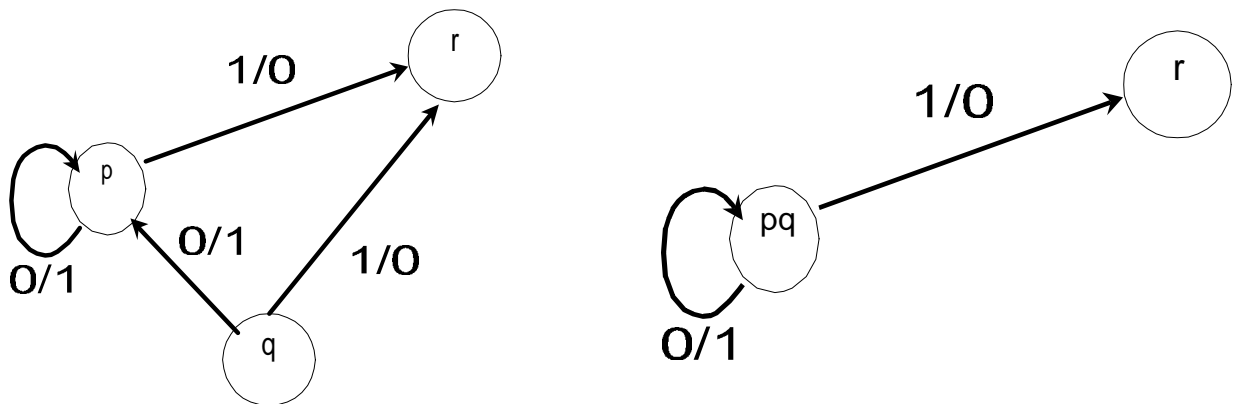
- Los próximos estados de p y q para alguna entrada forman un par incompatible. Esto es, $NS(p, x_i)$ y $NS(q, x_i)$ son incompatibles para alguna entrada x_i
- Existe alguna entrada para la cual las salidas de p y q son diferentes. $Z(p, x_i) \neq Z(q, x_i)$ para alguna x_i

Ejemplo 2

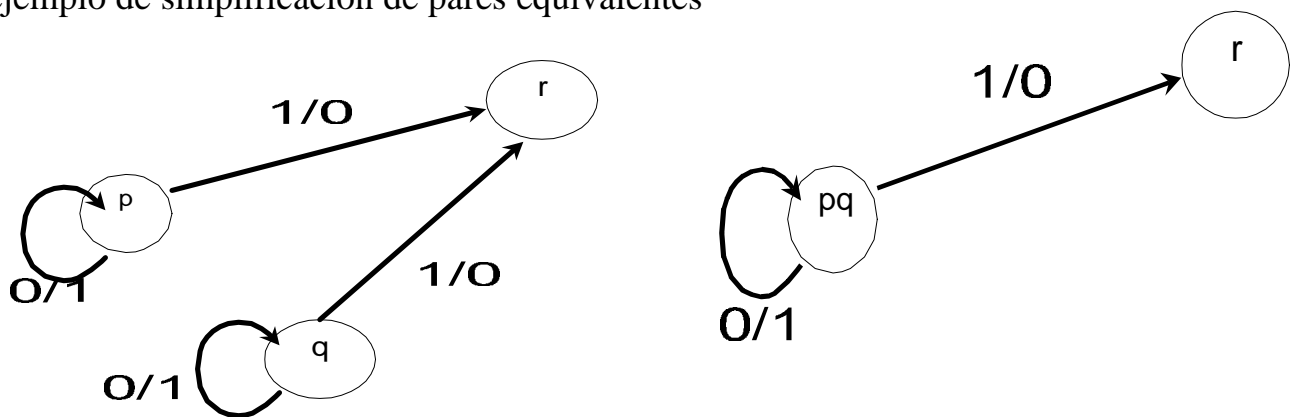
S \ X	X	
	0	1
A	B,0	C,0
B	D,0	E,0
C	G,0	E,0
D	H,0	F,0
E	G,0	A,0
F	G,1	A,0
G	D,0	C,0
H	H,0	A,0

NS, Z

Ejemplo de simplificación de pares idénticos

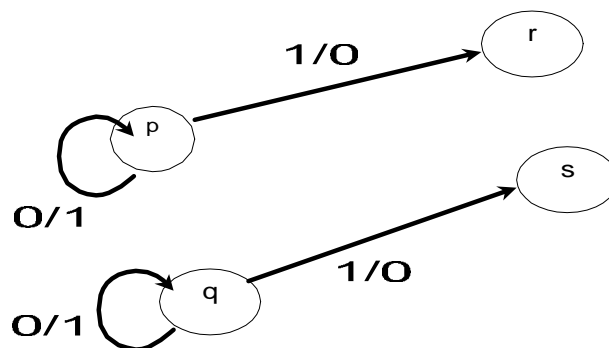


ejemplo de simplificación de pares equivalentes

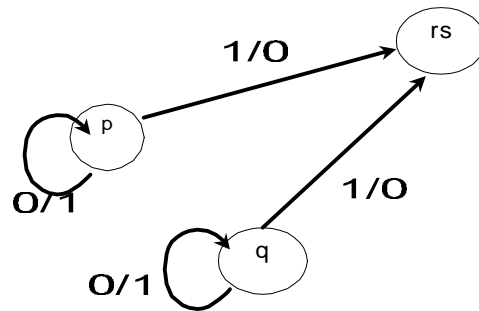


A continuación se verán algunos ejemplos que nos ayuden a comprender la filosofía de reducción por el método de los pares compatibles

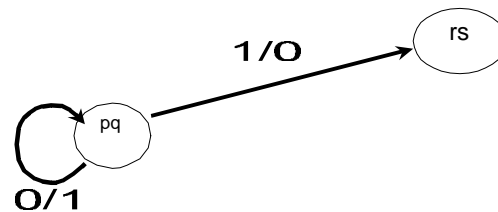
a)



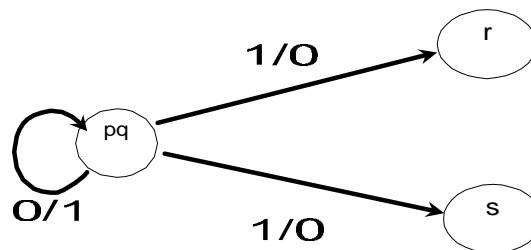
Si r y s son equivalentes, se pueden simplificar en un estado que denominaremos " rs "



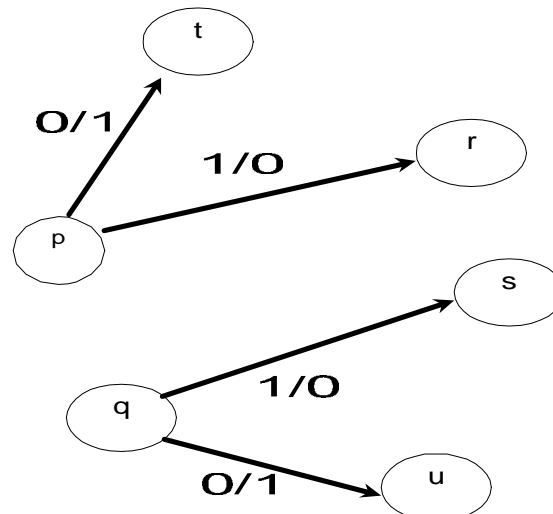
Se llega, por tanto, a que p y q son equivalentes, y por tanto



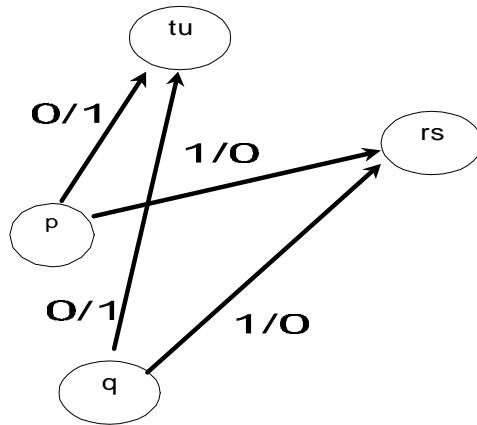
Si r y s son incompatibles, no se podrían construir un estado " pq ". Sería imposible distinguir cuál es el próximo estado de " pq " para entrada 1.



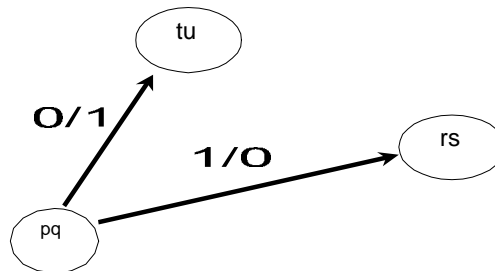
b)



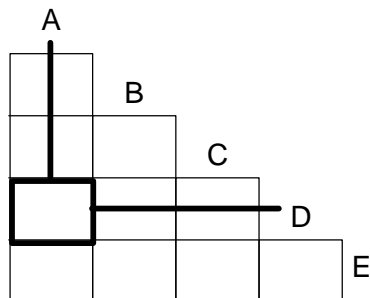
Si "t u" son equivalentes, y "r s", también



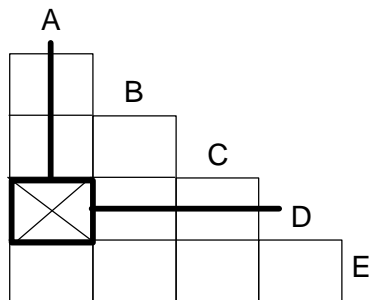
A continuación se ve que "p q" son equivalentes



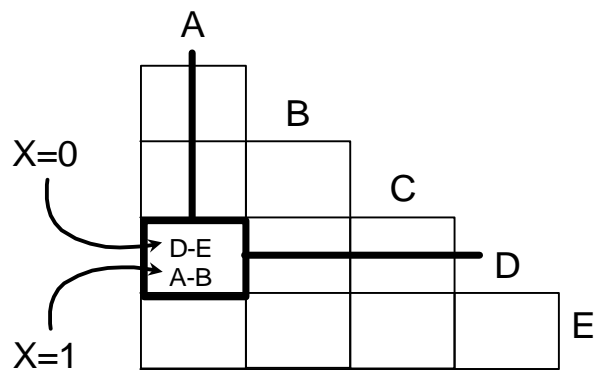
Para encontrar todos los pares compatibles se construye la TABLA DE IMPLICACIÓN a partir de la tabla de estados.



Si son incompatibles



Si no son incompatibles

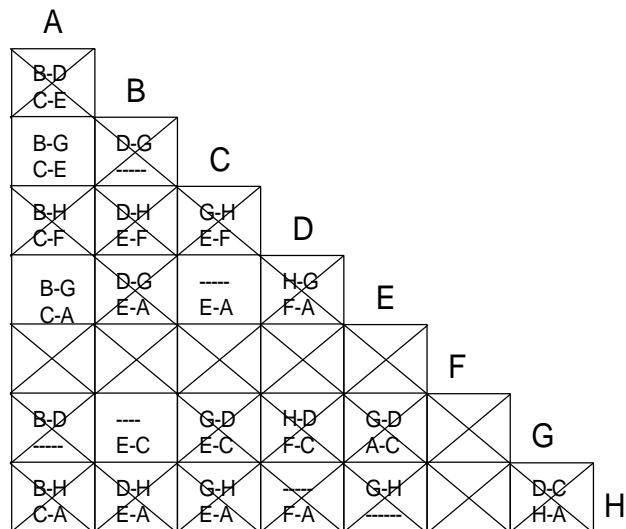
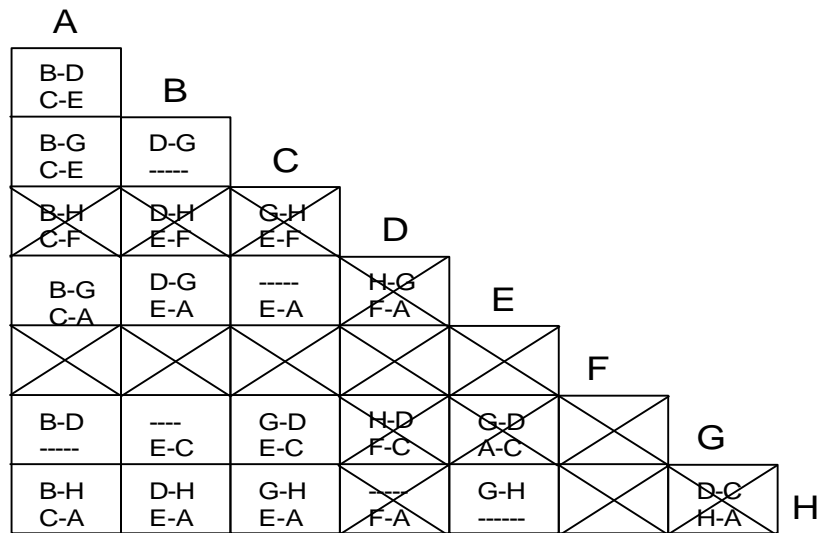


En la figura siguiente se muestra la tabla de implicación asociada a una tabla de 8 estados.

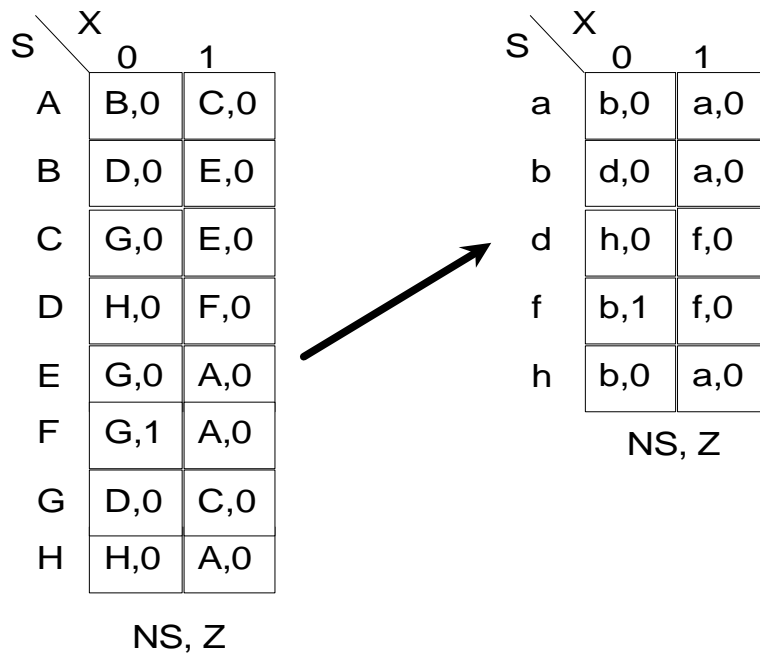
S	X	
	0	1
A	B,0	C,0
B	D,0	E,0
C	G,0	E,0
D	H,0	F,0
E	G,0	A,0
F	G,1	A,0
G	D,0	C,0
H	H,0	A,0

NS, Z

A	B-D C-E	B					
	B-G C-E	D-G ----	C				
	B-H C-F	D-H E-F	G-H E-F	D			
	B-G C-A	D-G E-A	---- E-A	H-G F-A	E		
	B-D ----	---- E-C	G-D E-C	H-D F-C	G-D A-C	F	
	B-H C-A	D-H E-A	G-H E-A	---- F-A	G-H ----		G
							D-C H-A
							H



Lista de estados resultantes: H,(G,B),F,(A,C,E),D

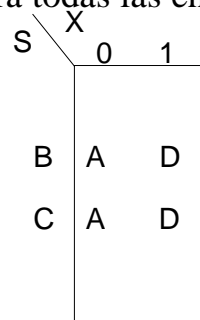
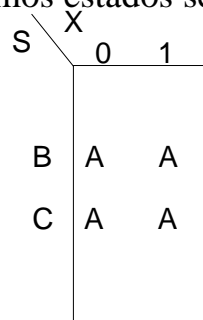


4.3 Método de las adyacencias

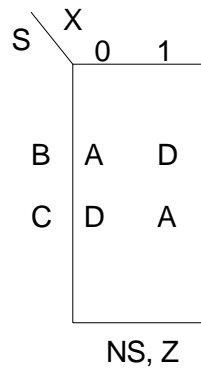
Nº de estados	Asignaciones distintas
1	2
2	2
3	24
4	24
5	6720

Este método se lista en una serie de reglas que hay que cumplir siguiendo unas prioridades. Las reglas son las siguientes.

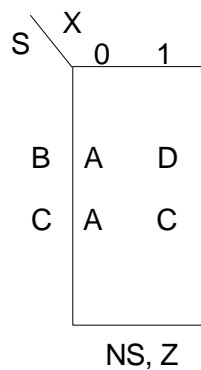
Regla 1.a) Hacer adyacentes (asignar códigos adyacentes) a aquellos estados cuyos próximos estados sean los mismos para todas las entradas



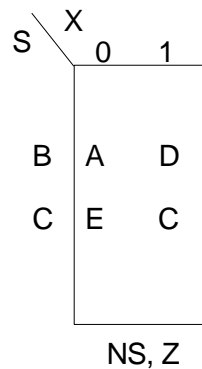
Regla 1.b) Hacer adyacentes aquellos estados cuyos próximos estados sean los mismos (aunque para diferentes columnas) siempre que los próximos estados sean adyacentes.



Regla 1c) Hacer adyacentes aquellos estados que tengan algún próximo estado común para algún valor de entrada



Regla 2) Hacer adyacentes los próximos estados de cada estado



Regla 3). Hacer adyacentes los estados que tengan la misma salida